

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-119645

(43)Date of publication of application : 21.04.1992

(51)Int.Cl.

H01L 21/60

(21)Application number : 02-240442

(71)Applicant : ROHM CO LTD

(22)Date of filing : 10.09.1990

(72)Inventor : AIHARA KAZUHIRO

TANAKA KAZUAKI

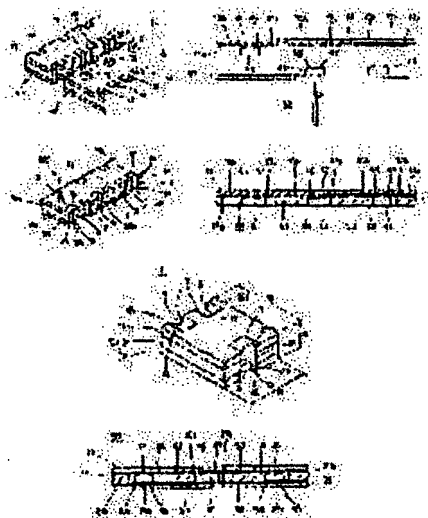
SHIBATA KOJI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To lessen an irregularity in the dimension and form of a semiconductor element and to facilitate the improvement of the reliability of the element and a reduction in the size of the element by a method wherein resin burrs are prevented from being generated for sealing a chip by laminating insulating sheets and at the same time, an external electrode is formed on the surface of a package in a film form.

CONSTITUTION: A wafer sheet 51 with chips 41 adhered thereon is laminated on the lower part of a first plastic sheet 11, bumps 46 and 47 are respectively pressure bonded on bump pressure bonding parts 16b and 17b and the chips 41 are bonded on the bump pressure bonding parts. Then, a third plastic sheet 31 with chip escape holes 38 provided therein is laminated on a rear 11b and a second plastic sheet 12 is laminated on the sheet 31. This laminated material 50 is diced along through holes 13, 14,... and a through hole 12, are divided into laminated materials 50', side surfaces 50a and 50b of each laminated material 50' are dipped in solder, an external connection pattern 15 and an electrode pattern 25 are formed and collector, emitter and base electrodes 2, 3 and 4 are formed to form a semiconductor element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-119645

⑬ Int. Cl.⁵

H 01 L 21/60

識別記号

3 2 1 Z

庁内整理番号

6918-4M

⑭ 公開 平成4年(1992)4月21日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体素子の製造方法

⑯ 特 願 平2-240442

⑰ 出 願 平2(1990)9月10日

| | | | | |
|---------|-----------|-----|--------------------|----------|
| ⑱ 発明者 | 合 原 | 和 博 | 京都府京都市右京区西院溝崎町21番地 | ローム株式会社内 |
| ⑱ 発明者 | 田 中 | 和 昭 | 京都府京都市右京区西院溝崎町21番地 | ローム株式会社内 |
| ⑱ 発明者 | 柴 田 | 公 司 | 京都府京都市右京区西院溝崎町21番地 | ローム株式会社内 |
| ⑲ 出 願 人 | ローム株式会社 | | 京都府京都市右京区西院溝崎町21番地 | |
| ⑳ 代 理 人 | 弁理士 中村 茂信 | | | |

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(1) 第1の電極パターンが配設された第1の絶縁シートに、各第1の電極パターンにパンプを圧接して、チップをボンディングする第1の工程と、
各チップの逃がし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、

第2の電極パターンが配設された第2の絶縁シートを、これら第2の電極パターンが前記各チップの底面にボンディングされるように、前記第3のシートに積層する第3の工程と、

前記第1、第2及び第3の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第4の工程と、

この棒状の積層体の側面に、前記電極パターンに導通する外部電極を形成する第5の工程と、

この棒状の積層体を切断し、個々の半導体素子

とする第6の工程とからなる半導体素子の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、面実装チップ状の半導体素子を製造する方法に関する。

(ロ) 従来の技術

従来、トランジスタ等の半導体素子の、面実装型のパッケージは、第6図(a)(b)に示すものが用いられている。チップbは、リードc上にダイボンディングされ、チップb上面のパッドと他のリードcとはワイヤdでワイヤボンディングされる。チップb、ワイヤdは、樹脂eで封止され、絶縁、保護される。リードcの先端は折り曲げ加工され、樹脂eの底面と略揃えられる。

(ハ) 発明が解決しようとする課題

上記従来の、チップ状半導体素子はその構造のため、パッケージ寸法、特に高さhを小さくできない問題点があった。すなわち、パッケージaを小さくしようとすると、ワイヤループが樹脂e表

面よりはみ出すため、ワイヤループの高さが制約され、ワイヤボンディングの信頼性が低下する。また、リード寸法のばらつきが大きくなると共に、樹脂eのバリの影響も大きくなる。

この発明は、上記に鑑みなされたもので、より小型化の図れるチップ状の半導体素子の製造方法の提供を目的としている。

(ニ) 課題を解決するための手段及び作用

上記課題を解決するため、この発明の半導体素子の製造方法は以下の6つの工程により構成されるものである。

- i: 第1の電極パターンが配設された第1の絶縁シートに、各第1の電極パターンにパンプを圧接して、チップをボンディングする第1の工程と、
- ii: 各チップの透かし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、
- iii: 第2の電極パターンが配設された第2の絶縁シートを、これら第2の電極パターンが前記各チップの底面にボンディングされるように、前記

第3のシートに積層する第3の工程と、

iv: 前記第1、第2及び第3の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第4の工程と、

v: この棒状の積層体の側面に、前記電極パターンに導通する外部電極を形成する第5の工程と、

vi: この棒状の積層体を切断し、個々の半導体素子とする第6の工程。

この発明の半導体素子の製造方法では、絶縁シートを積層してチップを封止するため、従来モールド時に生じていた樹脂バリを防止することができる。また、外部電極は、パッケージ表面に膜状に形成されるものであり、寸法、形状の不揃いを少なくすることができる。さらに、電極パターンとチップとをワイヤを用いずボンディングするため信頼性も向上される。これらの点から、半導体素子の小型化が容易となる。

(ホ) 実施例

この発明の一実施例を第1図乃至第5図に基づいて以下に説明する。

この実施例は、この発明をチップ状トランジスタの製造に適用したものであり、第1図は、その製造工程を順に示している。

まず、第1のプラスチックシート11に、チップ41をボンディングする〔第1図(a)参照〕。第1のプラスチックシート11は、第2図(a)(b)に示すように、スルーホール12、13、14及びエミッタ、ベース用電極パターン(第1の電極パターン)16、17を複数組配設してなるものである。エミッタ、ベース用電極パターン16、17は、金(Au)、銀(Ag)、銅(Cu)等の材質よりなり、それぞれスルーホール13、14を通して、裏面11bから表面11aにかけて形成されており、16b、17bは圧着部、16a、17aは外部接続部を構成する。また、スルーホール12から表面11aにかけて外部接続パターン15が形成されている。

チップ41は、ウェハシート51上に貼着されている。ウェハ(図示せず)をウェハシート51上に貼し、ウェハをダイシングした後、ウェハ

シート51を引き伸ばすと、ウェハが1つ1つのチップ41に分離し、第1図(a)に示す状態となる。チップ41上には、それぞれエミッタ、ベース用のパンプ46、47が金等の材料で形成されている。

ウェハシート51は、第1のプラスチックシート11の下方に位置させられる。そして、チップ41を、圧着部16b、17bの下方に位置決めし、この位置決めされたチップ41を突き上げ針52で突き上げ、パンプ46、47をパンプ圧着部16b、17bに圧着し、裏面11bにチップ41をボンディングする。こうして裏面11b上に配設される圧着部16b、17bに順次チップ41をボンディングしていく。

もし、ウェハシート51を引き伸ばした状態で、チップ41の配置を、パンプ圧着部16b、17bの配置に一致させることができるならば、全部のチップ41を一括して同時にボンディングすることも可能である。

次に、第1のプラスチックシート11の裏面1

1 bに、第3のプラスチックシート31が接着剤53を用いて積層される〔第1図(b)参照〕。第3のプラスチックシート31には、第3図に示すように、スルーホール32、33、34が、前記スルーホール12、13、14に対応する配置で設けられている。また、第3のプラスチックシート31には、チップ逃し孔38も配設されている。

第1のプラスチックシート裏面11bに、第3のプラスチックシート31を接着する時に、スルーホール32、33、34を、スルーホール12、13、14に一致するように位置決めをすると共に、チップ41はそれぞれチップ逃し孔38内に収められる。

次に、第3のプラスチックシート31に、第2のプラスチックシート21が接着剤54で接着され積層される〔第1図(c)(d)参照〕。第2のプラスチックシート21には、スルーホール22、23、24が配設され、前記スルーホール12(32)、13(33)、14(34)と同様の配置とされる〔第4図(a)(b)参照〕。また、この第2のプラス

チックシート21には、コレクタ用電極パターン(第2の電極パターン)25が配設されている。コレクタ用電極パターン25は、スルーホール22を通して、表面21aから裏面21bに亘り、表面21aに位置する部分はボンディング部25a、裏面21bに位置する部分は外部接続部25bとされる。また、スルーホール23、24から裏面21bにかけて、それぞれ外部接続パターン26、27が形成されている。

接着前に、第2のプラスチックシート21のボンディング部25aには、銀ペースト55が塗布される〔第1図(c)参照〕。第3のプラスチックシート31を積層する時、圧力及び熱を加えて、銀ペースト55によりチップ底面45がボンディング部25aに圧着させられる〔第1図(d)参照〕。この積層作業はアルゴン(Ar)、窒素(N₂)等の不活性ガス雰囲気で行い、チップ41がこの不活性ガスと共に封入されるようにする。

こうして、第1、第2及び第3のプラスチックシート11、21、31を積層して得られた積層

体50は、スルーホール13、14、…及びスルーホール12、…を連ねる直線 ℓ 、 ℓ に沿ってダイシングされ、棒状の積層体50'に分割される〔第1図(e)参照〕。

積層体50'の側面50a、50bは、それぞれ溶融はんだにディップされ、スルーホール12、22内の外部接続パターン15、電極パターン25〔第1図(f)では図示せず、第5図参照〕、スルーホール13、23内の電極パターン16、外部接続パターン26、及びスルーホール14、24内の電極パターン17、外部接続パターン27が、それぞれはんだ5、6、7で連結され、コレクタ電極2、エミッタ電極3、ベース電極4が構成される〔第1図(f)参照〕。

この積層体50'の各コレクタ電極2、エミッタ電極3、ベース電極4には、プローブが当てられ、各素子の特性が検査される。最後に、積層体50'を直線 ℓ に沿って切断し、個々のパッケージ10分割する〔第5図参照〕。

このトランジスタ1は、チップ抵抗器と同様に

印刷回路基板上に面実装することができる。各電極2、3、4において、はんだ5、6、7で上下のパターン15と25、16と26、17と27を連結しているのは、印刷回路基板へのはんだ付け強度を確保するためである。

トランジスタ1の大きさは、例えばD、W、Hを、それぞれ1.4mm、1.6mm、0.6mm程度にすることができ、従来よりも一層の小型化を図ることができる。プラスチックシート11、21、31それぞれの大きさを70mm×70mmとすれば、約2000個のトランジスタ1をとることができ、生産性向上、材料コストの低減を可能とし、トランジスタ1の低価格をも図ることができる。もちろん、このパッケージ1は樹脂モールドによりチップを封止するのではないため樹脂バリが生じず、また、印刷回路基板にはんだ付けするためにリードを用いていないので、このように小型化しても従来のような支障は生じない。さらに、このトランジスタ1では、パンプ圧着によりボンディングするため、従来のようにワイヤボンディングに起

因する不良も生じない。

なお、この実施例は、本発明をトランジスタの製造に適用したものであるが、ダイオード、電界効果トランジスタ等各種半導体素子の製造に適用可能なものである。

(へ) 発明の効果

以上説明したように、この発明の半導体素子の製造方法は、第1の電極パターンが配設された第1の絶縁シートに、各第1の電極パターンにパンプを圧接して、チップをボンディングする第1の工程と、各チップの逃がし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、第2の電極パターンが配設された第2の絶縁シートを、これら第2の電極パターンが前記各チップの底面にボンディングされるように、前記第3のシートに積層する第3の工程と、前記第1、第2及び第3の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第4の工程と、この棒状の積層体の側面に、前記電極パターンに導通する外部

電極を形成する第5の工程と、この棒状の積層体を切断し、個々の半導体素子とする第6の工程とからなるものであるから、半導体素子の小型化を図れると共に、生産性向上及び材料コスト低減による半導体素子の低価格化を図ることができる利点を有している。

4. 図面の簡単な説明

第1図(a)、第1図(b)、第1図(c)、第1図(d)、第1図(e)及び第1図(f)は、それぞれ順にこの発明の一実施例に係るトランジスタ製造工程を説明する図、第2図(a)及び第2図(b)は、同トランジスタ製造工程に適用される第1のプラスチックシート of それぞれ表面及び裏面の要部を示す斜視図、第3図は、同トランジスタ製造工程に適用される第3のプラスチックシートの要部を示す斜視図、第4図(a)及び第4図(b)は、同トランジスタ製造工程に適用される第2のプラスチックシートのそれぞれ表面及び裏面の要部を示す斜視図、第5図は、同トランジスタ製造工程により製造されたトランジスタの外観斜視図、第6図(a)は、従来のパッケー

ジの外観斜視図、第6図(b)は、同従来のパッケージの側方から見た透視図である。

- 2 : コレクタ電極、 3 : エミッタ電極、
- 4 : ベース電極、
- 11 : 第1のプラスチックシート、
- 16・17・25 : 電極パターン、
- 21 : 第2のプラスチックシート、
- 31 : 第3のプラスチックシート、
- 38 : チップ逃がし孔、 41 : チップ、
- 45 : チップ底面、 46・47 : パンプ、
- 50・50' : 積層体。

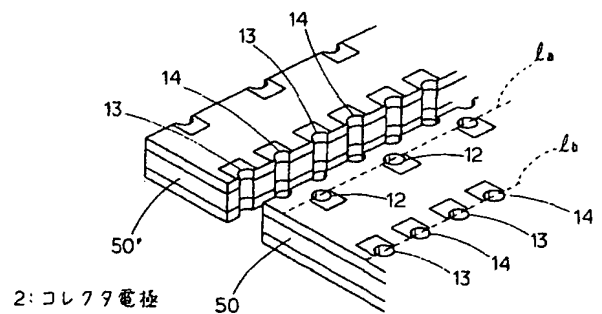
特許出願人

ローム株式会社

代理人 弁理士

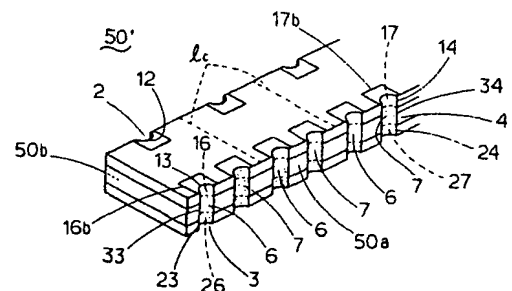
中村茂信

第1図(e)

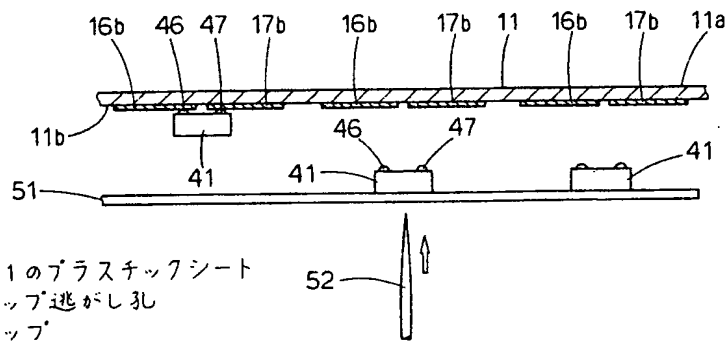


- 2: コレクタ電極
- 3: エミッタ電極
- 4: ベース電極
- 50・50': 積層体

第1図(f)

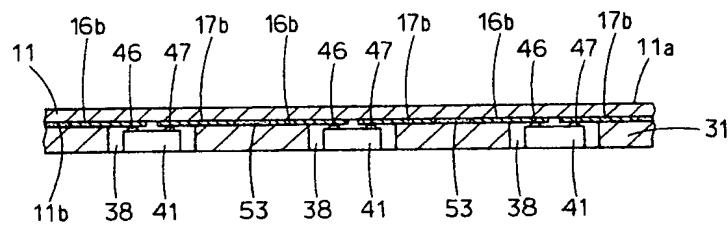


第 1 図 (a)

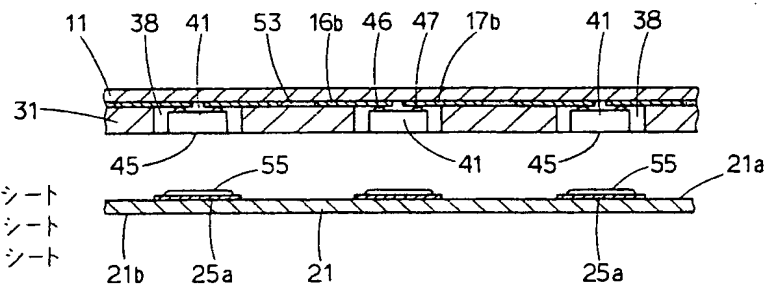


11: 第1のプラスチックシート
38: チップ逃げし孔
41: チップ
46・47: バンプ

第 1 図 (b)

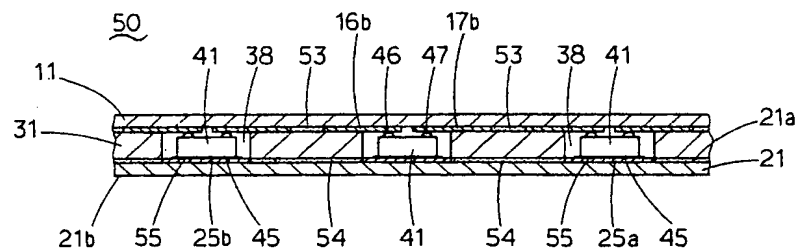


第 1 図 (c)

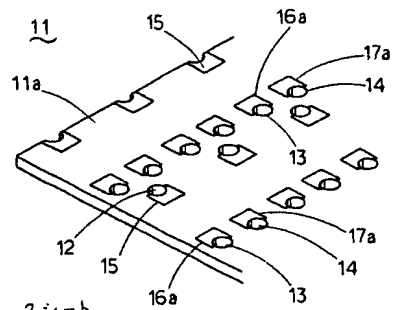


11: 第1のプラスチックシート
21: 第2のプラスチックシート
31: 第3のプラスチックシート
38: チップ逃げし孔
41: チップ
45: チップ底面
46・47: バンプ
50: 積層体

第 1 図 (d)

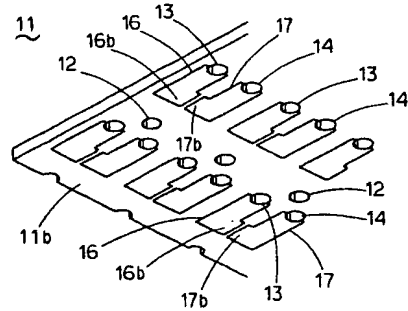


第 2 図 (a)

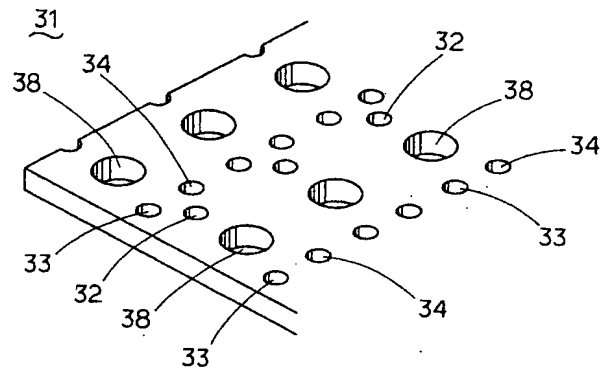


11: 第1のプラスチックシート
16・17: 電極パターン

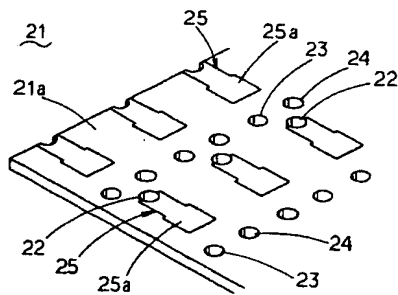
第 2 図 (b)



第 3 図

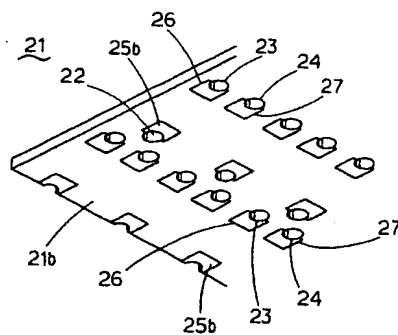


第 4 図 (a)

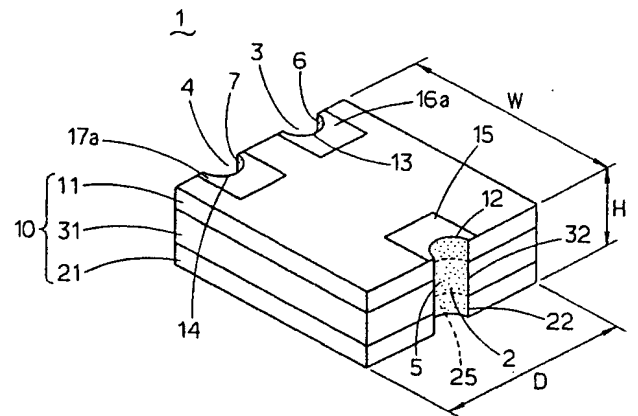


21: 第2のプラスチックシート
25: 電極パターン

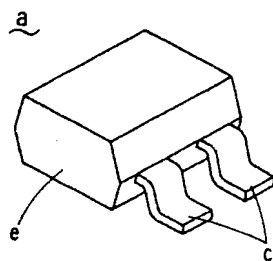
第 4 図 (b)



第 5 図



第 6 図 (a)



第 6 図 (b)

